

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-312695

(43)Date of publication of application : 24.11.1998

(51)Int.Cl.

G11C 16/06  
G06F 1/06  
G06F 15/78  
H01L 27/04  
H01L 21/822  
H02M 3/07

(21)Application number : 09-119941

(71)Applicant : NEC CORP

(22)Date of filing : 09.05.1997

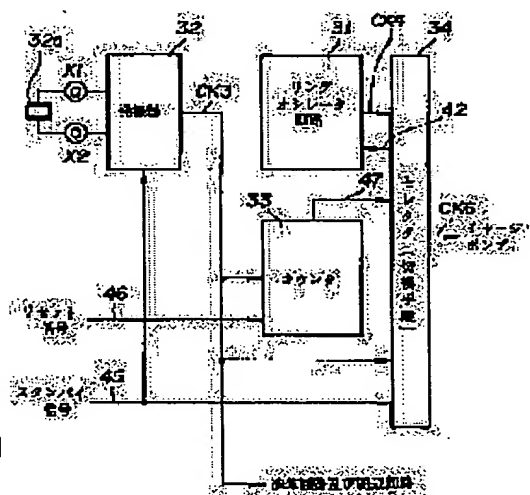
(72)Inventor : MAEDA TAKASHI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make it possible to reduce a current consumption and shorten the time for boosting a voltage of a incorporated boosting means by boosting a voltage of a incorporated boosting means by boosting a boosting means with a 1st clock signal and changing a 1st clock signal over to a 2nd clock signal of a frequency lower than the 1st clock signal.

**SOLUTION:** Relating to a microcomputer incorporating a flash memory, an oscillator 32 oscillates a clock signal CK3, and a ring oscillator 31 oscillates a clock signal CK4 of a frequency higher than the clock signal CK3. A counter 33 outputs an overflow signal 47 after an elapse of time from a reset signal input until a recharge pump is boosted up to a predetermined voltage by the clock signal. A selector 34 supplies the clock signal CK4 to the charge pump until the overflow signal 47 is inputted to the charge pump from release of a stand-by signal 45, and thereafter supplies the clock signal CK3. Thus, it is possible to shorten a boosting time and reduce a current consumption.



## LEGAL STATUS

[Date of request for examination] 09.05.1997

[Date of sending the examiner's decision of rejection] 24.04.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-312695

(43) 公開日 平成10年(1998)11月24日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
G 1 1 C 16/06		G 1 1 C 17/00 6 3 2 A
G 0 6 F 1/06		G 0 6 F 15/78 5 1 0 P
	15/78 5 1 0	H 0 2 M 3/07
H 0 1 L 27/04		G 0 6 F 1/04 3 1 0 A
21/822		H 0 1 L 27/04 G

審査請求 有 請求項の数10 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平9-119941

(22) 出願日 平成9年(1997)5月9日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 前田 貴

東京都港区芝五丁目7番1号 日本電気株式会社内

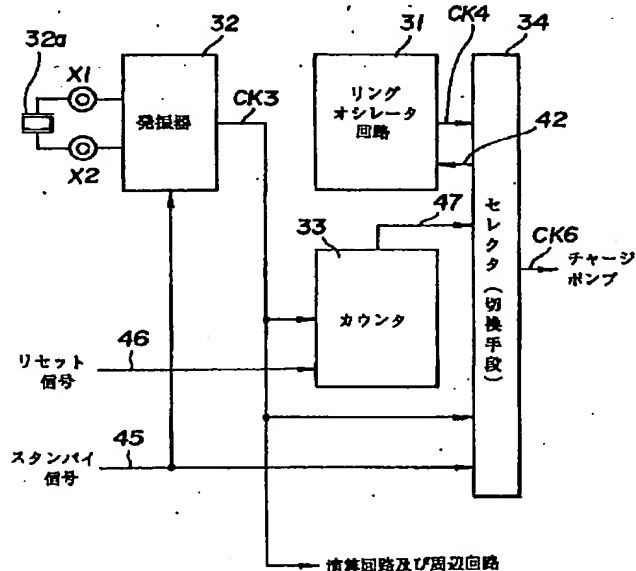
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 チャージポンプ回路の昇圧を短時間で行うことができ、昇圧後の安定状態において消費電流を低減することができる半導体装置を提供する。

【解決手段】 半導体装置は、例えば、携帯電話、ビデオカメラ、携帯用パソコン、等の電源に電池を使用する電子機器に搭載されるMPUであり、図示せぬチャージポンプ回路の他に、リングオシレータ回路(第1発振手段)31と、発振器(第2発振手段)32と、カウンタ(制御手段)33と、セレクト34とを具備して構成されている。



CK3 : 発振器32からのクロック信号  
CK4 : リングオシレータ回路31からのクロック信号  
CK6 : 選択クロック信号

## 【特許請求の範囲】

【請求項1】 昇圧手段と、該昇圧手段の昇圧を行う第1クロック信号を発振する第1発振手段と、前記第1クロック信号よりも低い周波数の第2クロック信号を発振する第2発振手段と、前記第1クロック信号から前記第2クロック信号に切り換える切換手段と、前記昇圧手段が所定電圧値に昇圧された時に前記第1発振手段の停止、及び前記第1クロック信号から前記第2クロック信号に切り換える動作を前記切換手段に行わせる制御手段とを含むことを特徴とする半導体装置。

【請求項2】 前記制御手段は、前記第2クロック信号に応じてカウントし、このカウント数が所定数となった時に、前記第1発振手段の停止と、前記第1クロック信号から前記第2クロック信号に切り換える動作とを前記切換手段に行わせる計数手段を含むことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記制御手段は、前記第1クロック信号に応じてカウントし、このカウント数が所定数となった時に、前記第1発振手段の停止と、前記第1クロック信号から前記第2クロック信号に切り換える動作とを前記切換手段に行わせる計数手段を有することを特徴とする請求項1記載の半導体装置。

【請求項4】 前記所定数は、前記第1クロック信号により前記昇圧手段が所定電圧値に昇圧されるまでの数であることを特徴とする請求項1乃至3の何れかに記載の半導体装置。

【請求項5】 前記所定数は、前記第2クロック信号の波形が安定し、且つ前記第1クロック信号により前記昇圧手段が所定電圧値に昇圧されるまでの数であることを特徴とする請求項1乃至3の何れかに記載の半導体装置。

【請求項6】 前記第1発振手段は、リングオシレータであることを特徴とする請求項1乃至5の何れかに記載の半導体装置。

【請求項7】 前記第2発振手段は、時計用タイマー等に利用する低い周波数帯域のものであることを特徴とする請求項1乃至6のいずれかに記載の半導体装置。

【請求項8】 前記昇圧手段により昇圧した電圧が、フラッシュメモリの読み出し等、電源電圧より高い電圧が必要なマイクロコンピュータの部分に供給される回路構成を含むことを特徴とする請求項1乃至7のいずれかに記載の半導体装置。

【請求項9】 前記半導体装置が、フラッシュメモリ内蔵のマイクロコンピュータであって、前記第2発振器とタイマー等の必要最小限の周辺回路のみを動作させてCPUを停止させるスタンバイモード時に昇圧手段を停止させ、スタンバイ状態の解除時には、フラッシュメモリの最初の命令の読み出しの時のみ、第1発振手段を用い、次の命令の読み出しからは第1発振手段の動作を停止させ、低い周波数のシステムクロックを昇圧手段の昇

圧に使うことを特徴とする、請求項1乃至8のいずれかに記載の半導体装置。

【請求項10】 前記半導体装置が、フラッシュメモリ内蔵のマイクロコンピュータであって、前記第2発振器とタイマー等の必要最小限の周辺回路のみを動作させてCPUを停止させるスタンバイモード時に昇圧手段を停止させ、前記スタンバイモードの解除された場合には、所定サイクル内に昇圧手段を動作させて昇圧し、フラッシュメモリの最初の命令の読み出し、命令の実行を再開することを特徴とする、請求項1乃至9のいずれかに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置に係わり、特にチャージポンプ回路（昇圧手段）と、チャージポンプ回路の昇圧を行うためのクロック信号を発生するリングオシレータ回路等の発振回路とを有する半導体装置に属する。

## 【0002】

【従来の技術】従来技術について本発明の一つの適用例である、電氣的に書き換え可能な読み出し専用メモリ（所謂フラッシュメモリ）が内蔵されたフラッシュメモリ内蔵マイクロコンピュータを用いて説明する。

【0003】フラッシュメモリはマイクロコンピュータを装置の基板に実装してからでもプログラムを書き換えることができるので、バグが発生した場合の保守の容易さ等の理由から広く普及しようとしている。

【0004】携帯電話や所謂PHSのシステムコントローラとして使われるマイコンは、通話時には、送信受信機能全体の制御を行うので、高速性が要求され、システムクロックとして8～33MHzのクロックが必要とされる。

【0005】一方、携帯電話等には非通話時でも常時動作する計時機能（時計機能）が必要とされている。特に、計時機能は受信の待ち受け機能を止めて電源をオフにした時でも動作していなければならない。電源をオフにしたにも拘わらず電池寿命がつかってしまう不具合を避けるためにはこの計時機能を極めて低消費電流で実現する必要がある。

【0006】低消費電流化の第1の工夫として、一つのフラッシュメモリ内蔵マイコンに8～33MHzの高速クロック用の発振回路（水晶発振回路）と計時用の32KHzの発振回路を設けることが考えられる。そして、高速動作が要求される時にはフラッシュメモリ内蔵マイコンのCPUを8～33MHzで動作させ、高速動作が要求されない時は、高速クロックの発振回路を止め、32KHzのクロックでフラッシュメモリ内蔵マイコンを動作させて計時機能を実現することにより上記要求を満足することができる。このフラッシュメモリ内蔵マイコンの動作クロックの切替、及び高速クロックの発振回路

の停止は、フラッシュメモリ内蔵マイコンの命令により行う。なお、32KHzの発振回路は常に動作させておく。

【0007】低消費電流化の第2の工夫として、フラッシュメモリ内蔵マイコンに、CPUを止めて32KHzの発振回路と時計用タイマーのみ動作させておくスタンバイモードを設けることが考えられる。そして、時計用タイマーが一定間隔（例えば0.5秒毎）でオーバーフローする毎に割り込みによりCPUをウェイクアップさせて計時動作を行わせ、この処理が終わったら、再びCPUをスタンバイモードにする間欠動作を行わせ、常時CPUを動作させる場合よりさらに低消費電流化することができる。

【0008】低消費電流化の第3の工夫として、フラッシュメモリ内蔵マイコンをできるだけ低電圧で動作させることが考えられる。そして、フラッシュメモリ内蔵マイコンを8~33MHzの高速で動作させるときは、5V程度の高電圧でフラッシュメモリ内蔵マイコンを動作させ、計時動作のみを動作させるときには外部の電源供給回路により2V程度の低電圧でフラッシュメモリ内蔵マイコンを動作させる。システムクロックが32KHzと遅ければ、CPUは2V程度の低電圧でも動作可能である。この様な対策をとれば、電源電圧が2V、クロック周波数が32KHzでCPU動作時の消費電流は、約30μA、スタンバイモード時の消費電流は2~5μAとなり、CPUを間欠動作をさせて計時動作を実現したときの平均電流は10μA以下にすることが可能である。

【0009】

【発明が解決しようとする課題】しかしながら、フラッシュメモリ内蔵マイコンで上述のような低消費電流を実現しようすると以下に述べるごとく問題点があった。

【0010】CPU自体は2Vで動作するとしても、フラッシュメモリの読み出しは2Vで安定した読み出しが困難であり、ワード線及びセンスアンプに昇圧回路が必要になることである。

【0011】そのため、2Vの電源電圧を32KHzのクロックにより昇圧するチャージポンプ回路を設けることが必要となる。このチャージポンプ回路は電源電流が10μA程度は流れてしまうので、チャージポンプ回路を常時動作させておくと、フラッシュメモリ内蔵マイコンの消費電流が多くなってしまうため、CPUのスタンバイモード時には停止させる必要がある。

【0012】しかし、このチャージポンプ回路は一定の電圧まで昇圧するのに時間（数命令実行分）がかかる。したがって、常時チャージポンプ回路を動かしておくのに比べて、スタンバイ時にチャージポンプを停止させた場合には、スタンバイ解除後に数命令実行分遅れることになる。通常、計時動作だけ行っているときには高速性は要求されないので数命令実行分遅れても何ら問題はな

い。ところが32KHzで計時動作をしている待ち受け時に相手から電話がかかって来た場合には、速やかにCPUのクロックを高速クロックに切り替える必要がある。高速クロックに切り替える必要があるか否かはCPUが命令の実行により判断する。ここで待ち受け時とは、受信可能状態時であり、例えば、スタンバイモードと非スタンバイモードとを所定間隔毎に繰り返している。高速クロックに切り替える必要がある場合には、CPUの命令により電源・電圧を5Vに切り替えると共に8~33MHzの高速クロックの発振回路を発振させ、高速クロックの発振が安定してからフラッシュメモリ内蔵マイコンのクロックを高速クロックに切り替えなければならない。したがって、高速クロックに切り替える必要があるか否かの判断は32KHzの低速クロックでCPUを動作させて判断しなければならない。

【0013】この場合、32KHzのクロックによりチャージポンプ回路を昇圧していたのでは、昇圧に時間がかかるため、CPUの命令の実行が遅れ、結果として高速クロックに切り替えて高速動作を開始するまでの時間が遅れ、システムの応答性が悪くなる。

【0014】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、低消費電流を実現でき、内蔵されたチャージポンプ回路（昇圧手段）の昇圧を短時間で行うことができる半導体装置を提供する点にある。

【0015】

【課題を解決するための手段】請求項1記載の発明は、昇圧手段と、この昇圧手段の昇圧を行う第1クロック信号を発振する第1発振手段と、第1クロック信号よりも低い周波数の第2クロック信号を発振する第2発振手段と、第1クロック信号から第2クロック信号に切り換える切換手段と、昇圧手段が所定電圧値に昇圧された時に第1発振手段の停止、及び第1クロック信号から第2クロック信号に切り換える動作を切換手段に行わせる制御手段とを含むことを特徴としている。

【0016】請求項2記載の発明は、制御手段が、第2クロック信号に応じてカウントし、このカウント数が所定数となった時に、第1発振手段の停止と、第1クロック信号から第2クロック信号に切り換える動作とを切換手段に行わせる計数手段を含むことを特徴としている。

【0017】請求項3記載の発明は、制御手段が、第1クロック信号に応じてカウントし、このカウント数が所定数となった時に、第1発振手段の停止と、第1クロック信号から第2クロック信号に切り換える動作とを切換手段に行わせる計数手段を有することを特徴とするしている。

【0018】請求項4記載の発明は、所定数が、第1クロック信号により昇圧手段が所定電圧値に昇圧されるまでの数であることを特徴としている。

【0019】請求項5記載の発明は、所定数が、第2クロック信号の波形が安定し、且つ第1クロック信号により昇圧手段が所定電圧値に昇圧されるまでの数であることを特徴としている。

【0020】請求項6記載の発明は、第1発振手段が、リングオシレータであることを特徴としている。

【0021】請求項7記載の発明は、第2発振手段が、時計用タイマー等に利用する低い周波数帯域のものであることを特徴としている。

【0022】請求項8記載の発明は、昇圧手段により昇圧した電圧が、フラッシュメモリの読み出し等、電源電圧より高い電圧が必要なマイクロコンピュータの部分に供給される回路構成を含むことを特徴としている。

【0023】請求項9記載の発明は、半導体装置が、フラッシュメモリ内蔵のマイクロコンピュータであって、第2発振器とタイマー等の必要最小限の周辺回路のみを動作させてCPUを停止させるスタンバイモード時に昇圧手段を停止させ、スタンバイ状態の解除時には、フラッシュメモリの最初の命令の読み出しの時のみ、第1発振手段を用い、次の命令の読み出しからは第1発振手段の動作を停止させ、低い周波数のシステムクロックを昇圧手段の昇圧に使うことを特徴としている。

【0024】請求項10記載の発明は、半導体装置が、フラッシュメモリ内蔵のマイクロコンピュータであって、第2発振器とタイマー等の必要最小限の周辺回路のみを動作させてCPUを停止させるスタンバイモード時に昇圧手段を停止させ、スタンバイモードの解除された場合には、所定サイクル内に昇圧手段を動作させて昇圧し、フラッシュメモリの最初の命令の読み出し、命令の実行を再開することを特徴としている。

#### 【0025】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0026】図1に示すように、本実施の形態に係る半導体装置は、例えば、携帯電話、ビデオカメラ、携帯用パソコン、等の電源に電池を使用する電子機器に搭載されるMPUであり、図示せぬチャージポンプ回路の他に、リングオシレータ回路（第1発振手段）31と、発振器（第2発振手段）32と、カウンタ（制御手段）33と、セクタ34とを具備して構成されている。このMPUは、図示していないが、電氣的に内容を消して書き換え可能な読み出し専用メモリ（EEPROM）である、いわゆるフラッシュメモリ内蔵のものである。

【0027】また、同図に示す発振器32は、端子X1、X2を介して半導体装置外付けの水晶振動子32aを有して構成されており、MPU内の図示せぬ演算回路及び周辺回路へクロック信号CK3を供給するものである。MPU立ち上げ時等にスタンバイ信号45が「H」から「L」となってスタンバイが解除されるとクロック信号CK3を出力するようになっている。このクロック

信号CK3は、MPUが携帯電話用である場合、例えば32KHz程度の時計用タイマー（計時機能）などに利用される低い周波数帯域のものである。

【0028】リングオシレータ回路31は、図2に示すように、従属接続されたn段（偶数段）のインバータ36a～36nと、発振開始用のトランジスタ37と、セクタ34から出力されるリングオシレータ制御信号42が供給されるバッファ43とを具備して構成されている。但し、各トランジスタ37～40には、それがPチャネル型か、Nチャネル型かを認識できるようにするためp又はnの符号が付してある。

【0029】このリングオシレータ回路31は、リングオシレータ制御信号42が「H」となり、この「H」がバッファ43を介してトランジスタ37、38のゲート端に供給されることによりトランジスタ37がオン、トランジスタ38がオフとなってイネーブルとなり、この時、トランジスタ39と40が交互にオンすることによって発振する。即ち、トランジスタ37がオン、トランジスタ38がオフの場合に、例えばインバータ36aに「L」が供給され、インバータ36nから「L」が出力される。この出力された「L」がトランジスタ39、40のゲート端に供給されると、トランジスタ39がオンとなって「H」がインバータ36aに供給される。

【0030】これによってインバータ36nから「H」が出力され、この出力された「H」がトランジスタ39、40のゲート端に供給されると、トランジスタ40がオンとなってシンク電流による「L」がインバータ36aに供給される。以上の動作を繰り返すことにより発振する。この発振による高周波数のクロック信号CK4がセクタ34へ出力される。クロック信号CK4は、クロック信号CK3よりもかなり高い周波数である。例えば、MPUがフラッシュメモリ内蔵の携帯電話用である場合、8MHz～33MHz程度である。

【0031】一方、リングオシレータ制御信号42が「L」となり、この「L」がバッファ43を介してトランジスタ37、38のゲート端に供給されることによりトランジスタ37がオフ、トランジスタ38がオンとなって発振が停止する。これは、トランジスタ38がオンとなることにより「H」がインバータ36aに供給され、これによってインバータ36nから出力される「H」がトランジスタ39、40のゲート端に供給され、トランジスタ39がオフ、トランジスタ40がオンとなるが、トランジスタ37がオフなのでインバータ36aには「H」が供給され続けるからである。

【0032】カウンタ33は、MPUの立ち上げ等の定められた時点でMPU外部からリセット信号46が入力されることによりリセットされ、その後、発振器32から出力されるクロック信号CK3を所定数カウントすると、オーバーフロー信号47をセクタ34へ出力するものである。

【0033】カウンタ33のカウンタ数(カウント時間)は、リングオシレータ回路31の出力クロック信号CK4によりチャージポンプ回路が所定電圧に昇圧される時間に相当するものである。或いは、発振器32から初期に出力されるクロック信号CK3の波形が安定する時間であって、且つリングオシレータ回路31の出力クロック信号CK4によりチャージポンプ回路が所定電圧に昇圧される時間に相当するものである。

【0034】クロック信号CK3の波形が安定する時間カウントするのは、発振器32が「L」のスタンバイ信号45の供給によって水晶発振信号を波形成形することによりクロック信号CK3を生成するが、この生成の初期時にクロック信号CK3の波形が安定しないので、それを昇圧に極力使用しないようにするためである。

【0035】セクタ34は、スタンバイ信号45及びオーバーフロー信号47に応じてクロック信号CK3及びクロック信号CK4の何れかを選択してチャージポンプ回路へ供給すると共に、前述したようにリングオシレータ回路31の発振/停止動作の制御を行うリングオシレータ制御信号42をリングオシレータ回路31へ出力するものであり、図3に示すように構成されている。即ち、図3に示すように、フリップフロップ50と、2入力タイプのノア回路51と、インバータ52と、2入力タイプのアンド回路53、54と、2入力タイプのオア回路55とを具備して構成されている。

【0036】このセクタ34の動作を含めたリングオシレータ回路31及びカウンタ33の動作を図4に示すタイムチャートを参照して説明する。

【0037】図4に示す時刻t1において、チャージポンプ回路の昇圧を行う前のスタンバイ中は、スタンバイ信号45が「H」となっている。この時、リセット信号46(図4には示さず)によってカウンタ33は既にリセットされているものとする。

【0038】スタンバイ信号45の「H」が、発振器32とセクタ34のフリップフロップ50のリセット端R及びノア回路51の一方の入力端に供給される。これによって、発振器32はクロック信号CK3を出力しない状態となるので、クロック信号CK3は「L」となる。

【0039】一方、セクタ34のフリップフロップ50はリセットされるのでその出力端Qから「L」が出力され、ノア回路51の他方の入力端に供給される。このことからノア回路51の出力レベルは「L」となり、この「L」がリングオシレータ制御信号42の信号レベルとなり、また、アンド回路54の一方の入力端に供給されると共に、インバータ52で反転され「H」としてアンド回路53の一方の入力端に供給される。

【0040】従って、リングオシレータ制御信号42が「L」となることにより、リングオシレータ回路31は発振停止状態となり、クロック信号CK4が「L」とな

る。また、アンド回路54の一方の入力端に「L」が供給されているので、他方の入力端に供給されるリングオシレータ回路31の出力クロック信号CK4は通過しない状態となる。

【0041】更に、アンド回路53の一方の入力端に「H」が供給されているので、アンド回路53は他方の入力端に供給される発振器32の出力クロック信号CK3を通過させる状態となるが、この時、クロック信号CK3は「L」なので、セクタ34の選択クロック信号CK6は「L」となる。

【0042】次に、時刻t2において、スタンバイ状態が解除され、スタンバイ信号45が「H」から「L」になったとする。この場合、発振器32はクロック信号CK3を発生しているので、カウンタ33、セクタ34、演算回路及び周辺回路へ出力する。

【0043】これによって、カウンタ33はクロック信号CK3のカウント動作を行う。セクタ34においては、スタンバイ信号45の「L」がフリップフロップ50のリセット端Rとノア回路51の一方の入力端に供給される。フリップフロップ50はリセット端Rに「L」が供給されても前回同様リセット状態であり、出力端Qから「L」をノア回路51へ出力している。

【0044】また、ノア回路51の他方の入力端にもスタンバイ信号45の「L」が供給されるので、その出力端からは「H」が出力され、この「H」がリングオシレータ制御信号42の信号レベルとなり、また、アンド回路54の一方の入力端に供給されると共に、インバータ52で反転され「L」としてアンド回路53の一方の入力端に供給される。

【0045】従って、リングオシレータ制御信号42が「H」となることにより、リングオシレータ回路31が発振状態となり、高周波数のクロック信号CK4が出力される。また、アンド回路54の一方の入力端には「H」が供給されているので、他方の入力端に供給されるクロック信号CK4が通過し、オア回路55へ出力される。一方、アンド回路53の一方の入力端には「L」が供給されているので、アンド回路53は他方の入力端に供給される発振器32の出力クロック信号CK3を通過させない状態となる。

【0046】このことによって、クロック信号CK4がオア回路55を通過して選択クロック信号CK6としてチャージポンプ回路へ出力される。即ち、リングオシレータ回路31から出力される高周波数のクロック信号CK4がセクタ34によって選択され、チャージポンプ回路へ出力されることによって昇圧が行われる。

【0047】次に、時刻t3において、カウンタ33が、チャージポンプ回路を所定電圧に昇圧する時間に相当する値をカウントしてパルス状のオーバーフロー信号47をセクタ34へ出力したとする。

【0048】オーバーフロー信号47の「H」がフリッ

フリップフロップ50のセット端Sに供給されると、フリップフロップ50に「H」がセットされ、その出力端Qから「H」が出力され、ノア回路51に供給される。このことからノア回路51の出力レベルは「L」となり、この「L」がリングオシレータ制御信号42の信号レベルとなり、また、アンド回路54の一方の入力端に供給されると共に、インバータ52で反転され「H」としてアンド回路53の一方の入力端に供給される。

【0049】従って、リングオシレータ制御信号42が「L」となることにより、リングオシレータ回路31は発振停止状態となり、クロック信号CK4が「L」となる。また、アンド回路54の一方の入力端に「L」が供給されているので、他方の入力端に供給されるリングオシレータ回路31の出力クロック信号CK4は通過しない状態となる。

【0050】更に、アンド回路53の一方の入力端に「H」が供給されているので、アンド回路53は他方の入力端に供給される発振器32の出力クロック信号CK3を通過させる。この通過したクロック信号CK3はオア回路55を通過し、選択クロック信号CK6としてチャージポンプ回路へ出力される。これによって、チャージポンプ回路が低消費電流状態での所定電圧値を保持することになる。

【0051】実施の形態に係る半導体装置は上記の如く構成されているので、以下に掲げる効果を奏する。

【0052】チャージポンプ回路を所定の電圧とする昇圧時に、図5に矢印Y2で示す時間においてはリングオシレータ回路31から出力される高周波数のクロック信号CK4を使用するので、発振器のみを使用した場合（図6に示す矢印Y1）に比べて矢印Y3で示すように昇圧時間を短くすることができる。

【0053】したがって、スタンバイ状態の解除時には、フラッシュメモリの最初の命令の読み出しの時だけ、リングオシレータ回路31を用い、次の命令の読み出しからはリングオシレータ回路31の動作を停止させ、低い周波数のシステムクロックをチャージポンプ回路の昇圧に使うことにより、消費電流を少なくすることができる。

【0054】即ち、チャージポンプ回路が所定電圧となった安定後はリングオシレータ回路31を停止し、矢印Y4で示す時間においては発振器32から出力される低周波数のクロック信号CK3をチャージポンプ回路に供給するようにしたので、このようにチャージポンプ回路の昇圧後の安定時に、クロック信号CK3のみを使用することによってMPUの消費電流を、図4に符号59で示すように、リングオシレータ回路31のクロック信号CK4を使用した際の消費電流60よりも低減することができる。さらに、最初の命令の読み出しの時だけ、リングオシレータ回路31を用いて早く昇圧させるので、命令を誤って読み出し、マイクロコンピュータが誤動作

してしまうこともない。

【0055】なお、本実施の形態においては、カウンタの出力信号に基づくセクタを用いて発振器32とリングオシレータ回路31とを切り換えるように構成したが、例えばCPUの命令により切り換える構成（制御手段）を採用することもできる。

【0056】また、本実施の形態においては、MPUに用いられていたが、それに限定されず、本発明は本発明を適用する上で好適なその他の制御回路等の回路に適用することができる。また、発振器32はMPUの外部に設けられていたが、MPUの内部に設け、その内部発振器からのクロック信号に基づいて、チャージポンプ回路の昇圧後の安定時に供給するようにしてもよい。これによっても、安定時に半導体装置の消費電流を低減させることができる。

【0057】

【発明の効果】本発明は以上のように構成されているので、以下に掲げる効果を奏する。

【0058】昇圧手段（チャージポンプ回路）を所定の電圧とする昇圧時には、半導体装置において通常使用される第2発振手段の出力クロック信号よりも高い周波数の第1発振手段（リングオシレータ回路）の出力クロック信号を昇圧手段に供給するようにしたので、昇圧時間を短くすることができる。

【0059】しかも、昇圧手段が所定電圧となった安定後は、第1発振手段を停止し、第2発振手段の出力クロック信号を昇圧手段に供給するようにしたので、半導体装置の消費電流を低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態による半導体装置のブロック構成図である。

【図2】図1に示すリングオシレータ回路の構成を示す回路図である。

【図3】図1に示すセクタの構成を示す回路図である。

【図4】本発明の一実施の形態による半導体装置の動作を説明するためのタイムチャートである。

【図5】本発明の一実施の形態による半導体装置の効果を説明するための図である。

【図6】発振器のみを使用した場合の昇圧時間を示す図である。

【符号の説明】

31 リングオシレータ回路（第1発振手段）

32 発振器（第2発振手段）

33 カウンタ（計数手段）

34 セクタ（切換手段）

36a～36n インバータ

37～40 トランジスタ

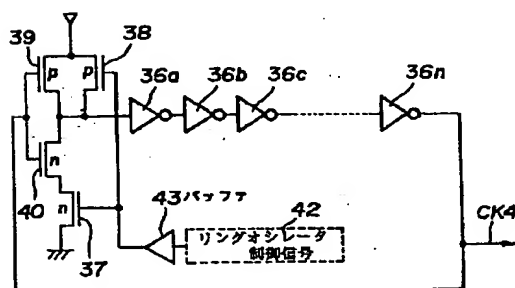
42 リングオシレータ制御信号

43 バッファ

12

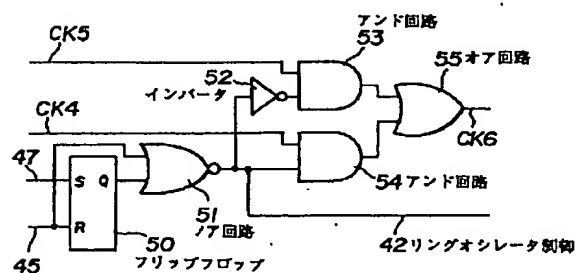
- 5 7 F/F出力信号  
5 9, 6 0 消費電流  
CK 3 発振器 3 2から出力されるクロック信号 (第2クロック信号)  
CK 4 リングオシレータ回路 3 1から出力されるクロック信号 (第1クロック信号)  
CK 6 選択クロック信号

【图2】



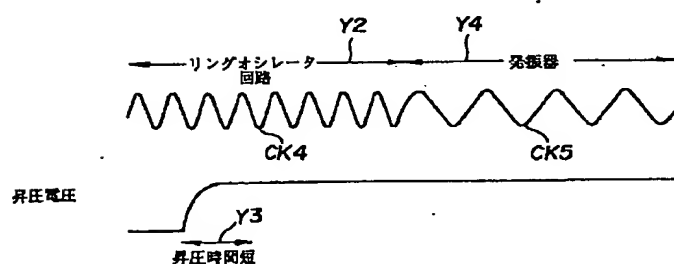
CK4: リングオシレータ回路31からのクロック信号  
36a~36n: インバータ  
37~40: トランジスタ

- 【圖 3】



- CK3 : 発振器32からのクロック信号  
CK4 : リングオシレータ回路31からのクロック信号  
CK6 : 選択クロック信号  
45 スタンバイ信号  
47 オーバーフロー信号

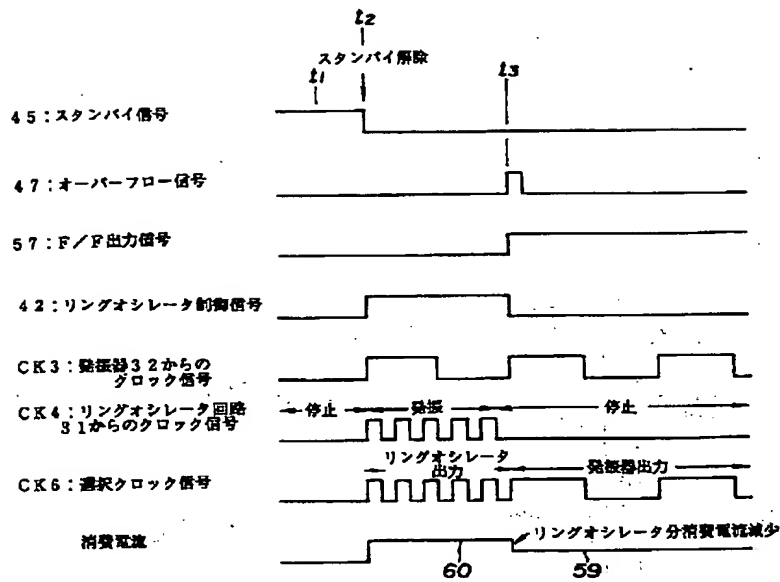
【图5】



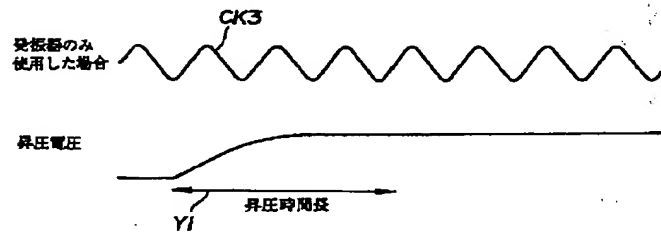
- CK3:発振器32からのクロック信号  
CK4:リングオシレータ回路31からのクロック信号



【図4】



【図6】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H 0 2 M 3/07